

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-243773

(43)Date of publication of application : 29.08.2003

(51)Int.Cl.

H01S 5/22

H01L 33/00

H01S 5/323

(21)Application number : 2003-057705

(71)Applicant : SONY CORP

(22)Date of filing : 22.04.1999

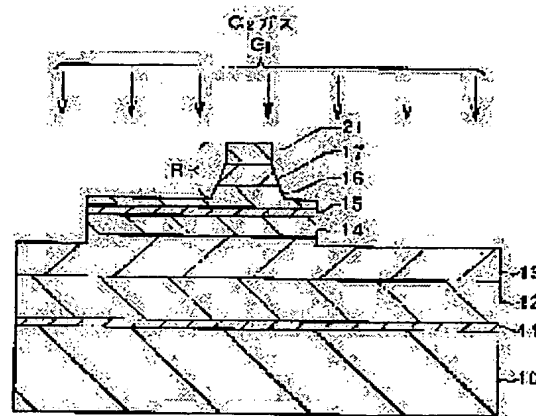
(72)Inventor : KOBAYASHI TOSHIMASA
NAGANUMA KO

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR LIGHT EMITTING DEVICE AND SEMICONDUCTOR LIGHT EMITTING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten a manufacturing process for forming a ridge in a semiconductor layer.

SOLUTION: After forming a striped p-side electrode 21, a p-side contact layer 17 and a p-type clad layer 16 are partly and selectively etched by an RIE method using a chlorine gas (Cl₂) while the p-side electrode 21 is used as a mask, and the p-type clad layer 16 is exposed over the surface in a self-aligning way and a ridge part R is formed of an upper part of the p-type clad layer 16, p-side contact layer 17 and p-side electrode 21. The p-side electrode 21 has a structure that platinum, gold and nickel, or nickel, platinum, gold, and nickel are sequentially laminated from the side of the p-side contact layer 17, respectively.



LEGAL STATUS

[Date of request for examination] 04.03.2003

[Date of sending the examiner's decision of rejection] 25.10.2006

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-243773

(P2003-243773A)

(43)公開日 平成15年8月29日(2003.8.29)

(51)Int.Cl.⁷

識別記号

F I

データ*(参考)

H 0 1 S 5/22

H 0 1 S 5/22

5 F 0 4 1

H 0 1 L 33/00

H 0 1 L 33/00

C 5 F 0 7 3

E

H 0 1 S 5/323

6 1 0

H 0 1 S 5/323

6 1 0

審査請求 有 請求項の数12 O L (全 12 頁)

(21)出願番号 特願2003-57705(P2003-57705)

(62)分割の表示 特願平11-115451の分割

(22)出願日 平成11年4月22日(1999.4.22)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 小林 俊雅

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72)発明者 長沼 香

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74)代理人 100098785

弁理士 藤島 洋一郎

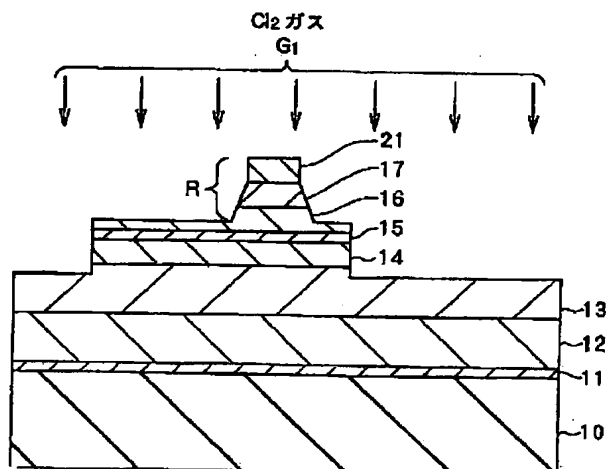
最終頁に続く

(54)【発明の名称】 半導体発光素子の製造方法および半導体発光素子

(57)【要約】

【課題】 半導体層にリッジ部を形成する際の製造プロセスを短縮化する。

【解決手段】 ストライプ状のp側電極21を形成した後、p側電極21をマスクとして、塩素ガス(Cl₂)を用いたR I E法によりp側コンタクト層17およびp型クラッド層16の一部を選択的にエッチングして、自己整合的にp型クラッド層16を表面に露出させると共に、p型クラッド層16の上部、p側コンタクト層17およびp側電極21よりなるリッジ部Rを形成する。p側電極21は、例えば白金、金およびニッケル、あるいはニッケル、白金、金およびニッケルをp側コンタクト層17側から順次積層した構造とする。



【特許請求の範囲】

【請求項1】 発光層を含む半導体層に電極が接触すると共に前記電極直下にリッジ構造を有する半導体発光素子の製造方法であって、
前記半導体層の上面にストライプ状の電極を形成する工程と、
前記電極をマスクとして前記半導体層をエッチングすることにより前記半導体層の少なくとも一部にリッジ部を形成する工程とを含むことを特徴とする半導体発光素子の製造方法。

【請求項2】 前記リッジ部を形成した後、前記リッジ部の前記電極以外の領域を覆うように絶縁層を形成する工程を含むことを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項3】 前記半導体層を、ガリウム(Ga)、アルミニウム(Al)、インジウム(In)およびホウ素(B)からなる群のうちの少なくとも1種のIII族元素と窒素(N)とを含むIII族ナイトライド化合物半導体により形成することを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項4】 前記絶縁層を前記リッジ部を構成する半導体層よりも屈折率の小さな絶縁材料により形成することを特徴とする請求項3記載の半導体発光素子の製造方法。

【請求項5】 前記電極を、ニッケル(Ni)および白金(Pt)よりなる群のうちの少なくとも1種を含む金属により形成することを特徴とする請求項3記載の半導体発光素子の製造方法。

【請求項6】 前記半導体層は、少なくとも第1導電型コンタクト層、第1導電型クラッド層、活性層、第2導電型クラッド層および第2導電型コンタクト層が積層されたものであり、かつ、前記電極は前記第2導電型コンタクト層上に形成された第2導電型の電極であり、前記第2導電型の電極をマスクとして前記第2導電型コンタクト層、更に第2導電型クラッド層の一部まで選択的に除去することによりリッジ部を形成することを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項7】 前記半導体層上に電極を形成する工程は、
前記半導体層の上面に耐エッチング材料よりなる保護層を形成する工程と、
前記保護層の上面にマスク層を形成した後、このマスク層に前記電極のパターンに応じた開口を形成する工程と、
前記保護層により前記半導体層を保護しつつ、前記マスク層への開口形成時に生じ、開口の内部に付着している残渣を除去する工程と、
前記マスク層を用いて、前記保護層のうちの前記開口に対応する領域を選択的に除去し、前記半導体層を選択的に露出させる工程と、

前記半導体層の露出面上に前記マスク層を用いて電極を形成する工程とを含むことを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項8】 発光層を含み、かつ少なくとも一部にリッジ部を有する半導体層と、
前記半導体層のリッジ部の表面に接触した前記リッジ部の表面と実質的に同一幅のストライプ状の電極と、
前記リッジ部の表面の前記電極以外の領域を覆う絶縁層とを備えたことを特徴とする半導体発光素子。

【請求項9】 前記半導体層は、ガリウム(Ga)、アルミニウム(Al)、インジウム(In)およびホウ素(B)からなる群のうちの少なくとも1種のIII族元素と窒素(N)とを含むIII族ナイトライド化合物半導体により形成されていることを特徴とする請求項8記載の半導体発光素子。

【請求項10】 前記絶縁層は前記リッジ部を構成する半導体層よりも屈折率の小さな絶縁材料により形成されていることを特徴とする請求項9記載の半導体発光素子。

【請求項11】 前記電極は、ニッケル(Ni)および白金(Pt)よりなる群のうちの少なくとも1種を含む金属により形成されていることを特徴とする請求項9記載の半導体発光素子。

【請求項12】 前記半導体層は、少なくとも第1導電型コンタクト層、第1導電型クラッド層、活性層、第2導電型クラッド層および第2導電型コンタクト層が積層されたものであり、かつ、前記電極は前記第2導電型コンタクト層上に形成された第2導電型の電極であり、前記リッジ部は、前記第2導電型の電極をマスクとして前記第2導電型コンタクト層、更に第2導電型クラッド層の一部まで選択的に除去することにより形成されたものであることを特徴とする請求項9記載の半導体発光素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、III族ナイトライド化合物半導体よりなるリッジ導波型の半導体発光素子の製造方法、およびその方法により得られる半導体発光素子に関する。

【0002】

【従来の技術】GaN, AlGaN, GaInNまたはAlGaInNなどのIII族ナイトライド化合物半導体は、AlGaInAs系やAlGaInP系のIII-V族化合物半導体に比べてバンドギャップE_gが大きくかつ直接遷移の半導体材料であるという特徴を有している。よって、これらのIII族ナイトライド化合物半導体は、紫外線から緑色にあたる短波長の光を発する半導体レーザ(LD; Laser Diode)や、紫外線から赤色までの広い範囲の波長の光を発する発光ダイオード(LED; Light Emitting Diode)などの半導体発光素子を

構成する材料として注目されており、高密度光ディスクやフルカラー用表示素子などへの応用が考えられている。

【0003】

【発明が解決しようとする課題】ところで、このようなIII族ナイトライド化合物を用いた半導体発光素子では、その導波構造として埋め込みリッジ構造が汎用性の高いものとして採用されており、このリッジ構造の作製プロセスの短縮化が要望されている。

【0004】また、このようなリッジ構造を有する発光素子では、安定した動作を確保する上でオーミック電極に関する技術がきわめて重要となる。従来、III族ナイトライド化合物半導体よりなる半導体層に対するp側のオーミック電極としては、例えば、ニッケル(Ni)と金(Au)、あるいはニッケルと白金(Pt)と金とを半導体層側から順次積層したものが用いられてきた。また、n側のオーミック電極としては、例えば、チタン(Ti)とアルミニウム(Al)とを半導体層側から順次積層したものが用いられてきた。

【0005】しかしながら、特にp側の電極においては、このような構成のオーミック電極を用いると形成条件などによっては密着性があまり良くない場合がある。そのため、素子の製造工程の途中やパッケージへ実装する際に剥離したり、半導体層との密着の不安定さから接触抵抗が大きくなるなど信頼性に問題があった。半導体レーザを作製する場合には、更に、反射鏡を形成するためにウェハを劈開する際にも、同様の問題が生じていた。

【0006】これらの問題を解決する方法としては、半導体層またはオーミック電極の構成材料を変更したり、電極を合金化処理する際の熱処理条件を変更したりすることにより、半導体層とオーミック電極との密着性を改善する方法が考えられる。ところが、p側のオーミック電極材料にチタンなどの密着性に優れた材料を用いると、従来の構造と比べてp側電極と半導体層との間の接触抵抗が1桁以上大きくなり、素子の性能や信頼性が低下してしまっていた。同様に、電極を合金化処理する際の熱処理条件を変える方法においても、密着性を向上させようとするるとp側電極と半導体層との間の接触抵抗が大きくなってしまっていた。

【0007】そこで、これらに代わる他の方法としては、電極のパターンニングを行うリソグラフィ工程において、半導体層の表面処理の条件を最適化して、半導体層とp側電極との間の残渣を完全に除去することにより密着性を向上させる方法が考えられる。

【0008】しかしながら、このように半導体層とオーミック電極との密着性を改善するために半導体層の表面処理を行う場合や、半導体層の表面にCVD(Chemical Vapor Deposition; 化学的気相蒸着)法あるいはスパッタ法により膜形成を行う際には、半導体層の表面がダ

メージを受け、半導体層表面のキャリア濃度が減少してしまい、半導体層とオーミック電極との間の接触抵抗 R_c が大きくなってしまおうという問題があった。

【0009】更に、上述した問題の他に、半導体レーザなどにおいて、電極が電氣的に導通している領域よりも広い領域にわたって半導体層の表面と接している場合には、この電氣的導通領域以外の接触領域に寄生容量が発生し、素子の高周波特性を損ねてしまうという問題もあった。

【0010】本発明はかかる問題点に鑑みてなされたもので、その目的は、電極直下のリッジ構造の作製プロセスを短縮化でき、更に半導体層と電極との密着性を向上させると共にこれらの間の接触抵抗の低減化を図ることが可能な半導体発光素子の製造方法およびこの方法により作製された半導体発光素子を提供することにある。

【0011】また、本発明の第2の目的は、寄生容量を低減させ、素子の高周波特性を向上させることができる半導体発光素子の製造方法を提供することにある。

【0012】

【課題を解決するための手段】本発明は、発光層を含む半導体層に電極が接触すると共に前記電極直下にリッジ構造を有する半導体発光素子の製造方法であって、半導体層の上面にストライプ状の電極を形成する工程と、電極をマスクとして半導体層をエッチングすることにより半導体層の少なくとも一部にリッジ部を形成する工程とを含むようにしたものである。

【0013】本発明では、前記半導体層上の電極を、半導体層の上面に耐エッチング材料よりなる保護層を形成する工程と、保護層の上面にマスク層を形成した後、このマスク層に前記電極のパターンに応じた開口を形成する工程と、保護層により半導体層を保護しつつ、マスク層への開口形成時に生じ、開口の内部に付着している残渣を除去する工程と、マスク層を用いて、保護層のうちの開口に対応する領域を選択的に除去し、半導体層を選択的に露出させる工程と、半導体層の露出面上にマスク層を用いて電極を形成する工程とを経て形成することが望ましい。

【0014】本発明による半導体発光素子の製造方法では、予め形成されたストライプ状の電極をマスクとして半導体層がエッチングされ、これにより半導体層の少なくとも一部に断面台形状のリッジ部が形成される。

【0015】本発明による半導体発光素子は、上記方法により作製可能であり、発光層を含み、かつ少なくとも一部にリッジ部を有する半導体層と、半導体層のリッジ部の表面に接触したリッジ部の表面と実質的に同一幅のストライプ状の電極と、リッジ部の表面の前記電極以外の領域を覆う絶縁層とを備えたものである。

【0016】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0017】図1ないし図15は、本発明の一実施の形態に係る半導体レーザの製造方法を工程毎に表したものである。この半導体レーザは、利得導波型と屈折率導波型を組み合わせたリッジ導波型のレーザである。

【0018】本実施の形態では、まず、図1～図7に示したように、基板10上の半導体層の上にストライプ状のp側電極21を形成する。

【0019】すなわち、図1に示したように、例えばサファイアよりなる基板10を用意し、基板10上に、例えば、MOCVD (Metal Organic Chemical Vapor Deposition ; 有機金属化学気相蒸着) 法によりIII族ナイトライド化合物半導体よりなるバッファ層11を成長させたのち、このバッファ層11を核として、下地層12、n側コンタクト層13、n型クラッド層14、活性層15、p型クラッド層16およびp側コンタクト層17 (以下、これらの層をまとめて半導体層ともいう。) を順次成長させる。ここで、バッファ層11、下地層12、n側コンタクト層13、n型クラッド層14、活性層15、p型クラッド層16およびp側コンタクト層17が、本発明の「半導体層」の一具体例に対応している。また、n型クラッド層14が本発明の「第1導電型クラッド層」の一具体例に対応しており、p型クラッド層16が本発明の「第2導電型クラッド層」の一具体例に対応している。

【0020】具体的には、例えば、550℃で非晶質に近い結晶構造を有するGa_{0.9}NあるいはAl_{0.1}GaN混晶よりなるバッファ層11を30nm成長させたのち、例えば1000℃で不純物を添加しないGa_{0.9}Nよりなる下地層12を1.5μm成長させる。続いて、例えば、n型不純物としてケイ素(Si)を添加したn型Ga_{0.9}Nよりなるn側コンタクト層13 (厚さ4.5μm)、不純物としてケイ素を添加したn型Al_{0.1}GaN混晶よりなるn型クラッド層14 (厚さ1.0μm)、GaInN混晶およびGa_{0.9}Nよりなる多重量子井戸構造を有する活性層 (厚さ0.05μm)、p型不純物としてマグネシウム(Mg)を添加したp型Al_{0.1}GaN混晶よりなるp型クラッド層16 (厚さ0.8μm)、不純物としてマグネシウムを添加したp型Ga_{0.9}Nよりなるp側コンタクト層17 (厚さ0.1μm)を順次成長させる。

【0021】その際、例えば、アルミニウム(Al)の原料ガスとしてはトリメチルアルミニウムガス((CH₃)₃Al)、ガリウム(Ga)の原料ガスとしてはトリメチルガリウムガス((CH₃)₃Ga)またはトリエチルガリウムガス((C₂H₅)₃Ga)、インジウム(In)の原料ガスとしてはトリメチルインジウムガス((CH₃)₃In)、窒素(N)の原料ガスとしてはアンモニアガス(NH₃)、ケイ素の原料ガスとしてはモノシランガス(SiH₄)、マグネシウムの原料ガスとしてはビス=メチルシクロペンタジエニルマグネシウムガス(MeCp₂Mg)またはビス=シクロペンタ

ジエニルマグネシウムガス(Cp₂Mg)をそれぞれ用いる。

【0022】次に、p側コンタクト層17、p型クラッド層16、活性層15、n型クラッド層14およびn側コンタクト層13の一部を選択的にエッチングしてn側コンタクト層13を表面に露出させる。なお、この場合のエッチング量は、例えば2μmである。

【0023】次に、半導体層の露出面全体 (すなわち、n側コンタクト層13およびp側コンタクト層17の表面、並びにn側コンタクト層13、n型クラッド層14、活性層15、p型クラッド層16およびp側コンタクト層17の側面) に、例えば蒸着法、ECRCVD (Electron Cyclotron Resonance Chemical Vapor Deposition; 電子サイクロトロン共鳴化学気相蒸着) 法あるいはECRスパッタ法により、耐エッチング性を有する絶縁材料、例えば二酸化ケイ素(SiO₂)あるいは四窒化三ケイ素(Si₃N₄)よりなる絶縁層18を形成する。この絶縁層18が、本発明の「保護層」の一具体例に対応している。ここでは、成膜中にプラズマによる半導体表面層へのダメージをなくす、あるいは少なくすることができると蒸着法、ECRCVD法あるいはECRスパッタ法を用いて絶縁層18を形成するので、熱CVD法、PE (Plasma Enhanced) CVD法あるいは通常のスパッタ法などを用いて形成する場合とは異なり、絶縁層18と接する領域がダメージを受け難く、ダメージによるp側コンタクト層17やp型クラッド層16のキャリア濃度の低下を防止することができる。

【0024】次に、図2に示したように、絶縁層18の全面に、例えばスピンコート法により厚さ1μmのレジスト膜19を形成する。ここで、レジスト膜19が、本発明の「マスク層」の一具体例に対応している。

【0025】次に、図3に示したように、例えばフォトリソグラフィ技術を用いて、レジスト膜19に、後述するp側電極21 (図7参照)のパターンに応じた開口19aを形成する。具体的には、例えば、高圧水銀ランプを用いて、1mW/cm³の出力で10秒間程度レジスト膜19に紫外線を照射したのち、無機リン酸塩系の現像液を用いて20℃で30秒間程度現像を行う。このとき、レジストの現像部分は完全には除去されず、開口19aの内部に残渣20が付着してしまうことがある。

【0026】そこで、現像後に、例えば、酸素プラズマを用いて、室温で3分間ライトアッシング処理を行う。これにより、図4に示したように、レジスト膜19の形状はほとんど変化することなく、残渣20が除去される。なお、ここで「ライトアッシング処理」とは、付着している少量の残渣20を弱い条件 (例えば、酸素プラズマのエネルギーや設定温度を低くする、レジストのエッチング速度が0.05μm/分以下であるような条件) でアッシングすることを意味する。ここでは、アッシング処理を行う際に、絶縁層18により半導体層が

保護されているので、半導体層の表面にダメージを与えることがなく、p側コンタクト層17などのキャリア濃度の低下が防止される。

【0027】次に、図5に示したように、レジスト膜19をマスクとして、例えばフッ酸系のエッチング液を用いて絶縁層18をp側コンタクト層17に至るまでエッチングし、絶縁層18のうちの開口19aに対応する領域に、開口18aを形成する。ここでは、開口19aに付着した残渣20が完全に除去されているので、レジスト膜19の残渣がエッチング液中を移動して、p側コンタクト層17の表面に再付着するおそれがない。

【0028】次に、図6に示したように、全面（すなわち絶縁層18が選択的に除去されたp側コンタクト層17の上およびレジスト膜19の上）に、例えば、蒸着法によりニッケル膜あるいは白金膜を成膜したのち、適宜の金属（例えば、金）膜を成膜し、金属層21aを形成する。ここで、金属層21aの構成材料にニッケルあるいは白金を用いる理由は、これらがIII族ナイトライド化合物との良好なオーミック接触を得ることができるためである。なお、このとき、p側コンタクト層17の露出面は、完全に金属層21aにより覆われるか、あるいは図に示したように、絶縁層18の開口18aの壁面近傍領域において若干（例えば幅1μm以下）露出する。

【0029】次に、図7に示したように、例えばアセトンなどの有機溶剤を用いてレジスト膜19を除去する。このとき、同時に、金属層21aのレジスト膜19と接している部分が選択的に除去され（リフトオフ法）、金属層21aのうちのp側コンタクト層17と接している部分のみが残存する状態となる。続いて、残存する金属層21aに加熱処理を施すことによりそれを合金化し、p側電極21とする。更に、半導体レーザの動作時に活性層15の一部のみに光を閉じ込めるために、p側電極21をストライプ状（図7においては紙面に対して垂直方向に延長されたストライプ状）となるようにパターンニングする。

【0030】なお、本実施の形態では、後述するよう—に、p側電極21をエッチングマスクとして利用するために、p側電極21がエッチングされることを抑制し、電極の特性に影響を与えないようにする必要がある。従って、p側電極21の最表面は、III族ナイトライド化合物半導体とのエッチング選択比が金よりも大きいニッケルあるいは白金よりなることが好ましい。なお、このようなp側電極21の構造の例としては、白金、金およびニッケル、あるいはニッケル、白金、金およびニッケルをp側コンタクト層17側から順次積層したものが挙げられる。

【0031】次に、例えばフッ酸系のエッチング液を用いて、図8に示したように、絶縁膜18をエッチング除去したのち、図9に示したように、p側電極21をマス

クとして、例えば反応ガスに塩素ガス(Cl_2) G_1 を用いたRIE (Reactive Ion Etching) 法によりp側コンタクト層17およびp型クラッド層16の一部を選択的にエッチングして、自己整合的にp型クラッド層16を表面に露出させると共に、p型クラッド層16の上部、p側コンタクト層17およびp側電極21よりなるリッジ部Rを形成する。

【0032】次に、図10に示したように、露出面全体（すなわち、n側コンタクト層13、p型クラッド層16およびp側電極21の表面並びにリッジ部Rの側面）に、例えば、蒸着法により二酸化ケイ素（屈折率1.46）よりなる絶縁層31を形成する。

【0033】次に、図11に示したように、絶縁層31の全面に、例えばスピンコート法によりレジスト膜32を形成する。レジスト膜32の厚さに関しては、p側電極21の上面の厚さが、その他の領域の厚さよりも薄くなるように形成する。具体的には、例えば、リッジ部Rと絶縁層31との高さ（厚さ）の合計が1μmである場合には、p側電極21の上面において厚さが例えば0.5~0.8μmとなるように形成する。

【0034】次に、図12に示したように、例えば反応ガスに酸素ガス(O_2) G_2 を用いたRIEを行って、レジスト膜32のリッジ部Rに対応する領域を選択的に除去し、絶縁層31を表面に露出させる。ここでは、既に述べたように、p側電極21の上面のレジスト膜32の厚さがその他の領域よりのレジスト膜32の厚さよりも薄いので、リッジ部Rに対応する領域の上側部分のレジスト膜32のみを除去することができる。

【0035】次に、図13に示したように、例えば反応ガスに四フッ化炭素ガス(CF_4) G_3 を用いたRIEを行って、絶縁層31の露出面を選択的に除去し、p側電極21を表面に露出させる。次に、図14に示したように、例えば反応ガスに酸素ガス G_2 を用いたRIEを行ってレジスト膜32を除去する。これにより、p側電極21の表面以外の領域が絶縁層31によって覆われた状態となる。

【0036】次に、図15に示したように、例えば、チタン、アルミニウム、白金および金を順次蒸着し、P側電極21を形成する場合と同様にn側電極22を形成し、更に、チタンおよび金からなるコンタクト用電極23、24をそれぞれ形成したのち、基板10をp側電極21の長さ方向と垂直に所定の幅で劈開し、その劈開面を反射鏡として、リッジ導波型半導体レーザを完成させる。

【0037】このようにして製造されたリッジ導波型半導体レーザでは、コンタクト用電極23、24を介してp側電極21とn側電極22との間に所定の電圧が印加されると、活性層15に電流が注入される。なお、絶縁層18によって電流は狭窄される。これにより、活性層15では、電子-正孔再結合による発光が起こり、図示

しない反射鏡を介して外部に光が取り出される。ここでは、リッジ部Rが、それよりも屈折率が小さい材料よりなる層（ここでは、絶縁層31）により覆われているので、光を効率的に閉じ込めることができる。なお、リッジ部Rでは、p側電極21の屈折率が例えば1.64、p側コンタクト層17の屈折率が例えば2.53、p型クラッド層16の屈折率が例えば2.49である。

【0038】このように本実施の形態では、p側電極21をマスクとして、p側コンタクト層17およびp型クラッド層16を自己整合的にリッジ形状とするようにしたので、リッジ導波型半導体レーザの製造工程の短縮化を図ることができる。

【0039】また、リッジ部Rの側面を、リッジ部Rの構成材料よりも屈折率が小さい材料よりなる絶縁層31により覆うようにしたので、活性層15の幅方向に屈折率差を付与することができると共に、p側コンタクト層17とp側電極21との電氣的導通幅を、p側電極21の幅と同一にすることができる。従って、光の閉じ込め効果をより大きくすることができる。

【0040】また、本実施の形態では、図3および図4の工程でも説明したように、絶縁層18により半導体層が保護された状態で、レジスト膜19の開口19aに付着した残渣20を除去するようにしたので、その際、半導体層の表面へのダメージの付与が抑制される。従って、p側コンタクト層17やp型クラッド層16のキャリア濃度の低下を防止することができ、p側電極21とp側コンタクト層17との間において、安定した接触抵抗値を得ることができる。また、同様の理由により、n側電極22とn側コンタクト層13との間の接触抵抗の増大も防止することができる。更に、蒸着法、ECRCVD法あるいはECRスパッタ法により絶縁層18を形成するようにしたので、半導体層の表面に対するダメージが抑制される。従って、この点からも、p側コンタクト層17やn側コンタクト層13のキャリア濃度の低下を抑制することができる。

【0041】また、レジスト膜19の開口19aに付着した残渣20を除去したのちに絶縁層18に開口18aを形成するようにしたので、開口18aを形成する際に、レジストの残渣がエッチング液中を移動してp側コンタクト層17の表面に再付着するおそれがない。従って、p側コンタクト層17の清浄な表面上にp側電極21を形成することができ、p側コンタクト層17とp側電極21との密着性を向上させることができる。その結果、製造工程の途中やパッケージへ実装する際におけるp側電極21の剥離を防止することができる。

【0042】更に、p側電極21およびn側電極22をコンタクト用電極23、24によりそれぞれ覆うようにしたので、p側電極21およびn側電極22の密着性を高めることができる。よって、p側電極19をニッケルまたは白金などの良好なオーミック接触を得ることがで

きる材料により構成することができる。従って、接触抵抗を小さくすることができると共に電極の剥離を防止することができ、素子の品質および信頼性を向上させることができる。

【0043】また、n側コンタクト層13およびp側コンタクト層17の表面、並びにn側コンタクト層13、n型クラッド層14、活性層15、p型クラッド層16およびp側コンタクト層17の側面にわたって絶縁層18を形成するようにしたので、絶縁層18をn側コンタクト層13およびp側コンタクト層17の表面のみに形成する場合よりも、寄生容量を低減させることができる。従って、高周波特性に優れた半導体レーザが製造される。

【0044】更に、絶縁層18は、p-n接合面（すなわち、活性層15の側面）を被覆するように形成されているので、パッケージに実装する際の半田の這い上がりなどが生じた場合においても、電氣的短絡が発生することがなく、信頼性の高い実装条件を得ることができる。

【0045】また、レジスト膜19をマスクとして、p側電極21を自己整合的に形成することができるので、製造工程の短縮化を図ることができる。

【0046】〔参考例1〕なお、図7の工程の後、図16に示した工程を経て他の利得導波型半導体レーザを作製することもできる。

【0047】すなわち、図16に示したように、全面（すなわち絶縁層18およびp側電極21の上）にレジスト膜（図示せず）を塗布し、開口18aを形成する際と同様にして絶縁層18のn側コンタクト層13上の領域に開口18bを形成する。続いて、全面（すなわち絶縁層18が選択的に除去されたn側コンタクト層13の上および図示しないレジスト膜の上）に、例えば、チタン、アルミニウム、白金および金を順次蒸着し、p側電極21を形成する場合と同様にして、n側電極22を形成する。

【0048】次に、p側電極21およびその周囲の絶縁層18の上に、例えば、チタンおよび金を選択的に順次蒸着してコンタクト用電極23を形成する。また、同時に、n側電極22およびその周囲の絶縁層18の上に、コンタクト用電極24を形成する。これらのコンタクト用電極23、24は、p側電極21およびn側電極22の密着性をそれぞれ補強するものである。なお、コンタクト用電極23、24は、完成された半導体レーザをパッケージに実装する際の実装用電極（すなわち、ボンディングパットや、パッケージへのダイボンディング用電極）としても利用することができる。

【0049】最後に、基板10をp側電極21の長さ方向（共振器長方向）と垂直に所定の幅で劈開し、その劈開面を反射鏡として、利得導波型半導体レーザを完成させる。なお、必要に応じて、劈開面に反射率を制御するためのコーティングを施すようにしてもよい。

【0050】このようにして製造された利得導波型半導体レーザでは、コンタクト用電極23、24を介してp側電極21とn側電極22との間に所定の電圧が印加されると、活性層15に電流が注入される。なお、絶縁層18によって電流は狭窄される。これにより、活性層15では、電子-正孔再結合による発光が起こり、図示しない反射鏡を介して外部に光が取り出される。ここでは、製造時にp側コンタクト層17およびn側コンタクト層13の表面がダメージを受けていないので、p側コンタクト層17とp側電極21、およびn側コンタクト層13とn側電極22とはそれぞれ良好にオーミック接触しており、安定な接触抵抗値を得ることができる。従って、半導体レーザは安定した電圧で動作する。

【0051】この利得導波型半導体レーザにおいても、前述のように、残渣を除去し、半導体層と電極との間の接触抵抗の低減化を図ることができる等の効果を得ることができる。

【0052】(第2の実施の形態)本実施の形態は、導電性材料よりなる基板を用いたリッジ導波型半導体レーザの製造方法に関するものである。

【0053】本実施の形態では、まず、例えばGaNあるいはSiC(炭化ケイ素)よりなる導電性基板40(図17参照)を用意し、この導電性基板40上に、例えば第1の実施の形態の図1～図7および図9～図14に示した工程と同様にして、リッジ部Rを有する半導体層およびp側電極21を形成する。

【0054】次に、図17に示したように、p側電極21およびその周囲の絶縁層31の上に、例えば、チタンおよび金を選択的に順次蒸着してコンタクト用電極23を形成する。続いて、導電性基板40の裏面側に、n側電極22およびコンタクト用電極24を順次形成する。最後に、導電性基板40をp側電極21の長さ方向と垂直に所定の幅で劈開する。なお、n側電極22は、全面一様の電極であってもよいし、半導体レーザのバーやチップの位置を指定するためのパターンを有する電極であってもよい。

【0055】(第3の実施の形態)本実施の形態に係るリッジ導波型半導体レーザの製造方法では、図18に示したように、まず、第1の実施の形態の図1に示した工程と同様にして、基板10上に半導体層を成長させる。次に、p側コンタクト層17およびp型クラッド層16の一部を選択的にエッチングして、これらをリッジ形状とすると共に、p型クラッド層16を表面に露出させる。

【0056】次に、例えばMOCVD法により、p型クラッド層16の露出面上に、p側コンタクト層17およびp型クラッド層16のリッジ部を囲むように、p型クラッド層16およびp側コンタクト層17よりも屈折率の小さいIII族ナイトライド化合物半導体(例えばGaInN, AlGaIn)よりなる再成長層51を形成す

る。再成長層51は、その表面とp側コンタクト層17の表面とがほぼ平坦になるように形成する。

【0057】この再成長層51は、例えば以下に述べる2種類のプロセスのいずれかを経て形成することができる。一つは、p型クラッド層16の露出面以外の領域に二酸化ケイ素や四窒化三ケイ素などよりなる絶縁層を形成し、p型クラッド層16の露出面に選択的にGaInNなどを再成長させる方法(選択成長技術)である。この方法によれば、成長させる結晶の種類や成長条件に制限はあるものの、再成長した時点で所望の形状の再成長層51が得られる。他の一つは、全面にGaInNなどを再成長させたのち、不要な部分を除去する方法である。この方法によれば、成長させる結晶の種類や成長条件については比較的自由度が高いものの、p型コンタクト層17を表面に露出させるプロセスが必要である。

【0058】以下、第1の実施の形態の図1～図8に示した工程と同様にして、絶縁層18、p側電極21、n側電極22およびコンタクト用電極23、24をそれぞれ形成する。

【0059】なお、図示はしないが、再成長層51を形成したのち、p側コンタクト層17および再成長層51上に、再度p側コンタクト層を成長させると共に、p側コンタクト層とp側電極との接触面積を大きくして、接触抵抗を低減させるようにしてもよい。

【0060】このように本実施の形態によれば、p側コンタクト層17とほぼ平坦になるようにその側面に再成長層51を形成したのちに、p側電極21およびコンタクト用電極23を形成するようにしたので、第1および第2の実施の形態のリッジ導波型半導体レーザよりも表面を平坦にすることができる。従って、パッケージに実装する際の熱抵抗特性や、半田材料などとの密着性を改善することができ、実装の信頼性を向上させることができる。

【0061】〔参考例2〕本参考例は、発光ダイオードの製造方法に関するものである。ここでは、図19に示したように、p側電極21およびコンタクト電極23を、それらの厚さの合計が5～15nm程度となるようにそれぞれ薄く形成すると共に、p側電極21とp側コンタクト層17との接触面積が大きくなるように形成することと、基板10を劈開しないことを除き、他は第1の実施の形態と同様にして製造することができる。この発光ダイオードでは、p側電極21およびコンタクト電極23が薄く形成されているので、図19において矢印で示したように、基板10の上方(すなわちp側電極21側)から光を取り出すことができる。なお、基板10が発光波長を透過させるものであれば、勿論、基板10の裏面側から光を取り出す構造とすることもできる。

【0062】〔参考例3〕本参考例は、電界効果トランジスタ(FET; Field Effect Transistor)の製造方法に関するものである。

【0063】まず、図20に示したように、例えばサファイアよりなる基板60を用意し、この基板60上に、例えば、MOCVD法により550℃で非晶質に近い結晶構造を有するGaNあるいはAlGaN混晶よりなるバッファ層61を30nm成長させたのち、例えば、1000℃でn型不純物としてケイ素を添加したn型GaNよりなるチャンネル層62を成長させる。更に、連続的に、AlNまたはアルミニウムの組成比xが大きい $Al_xGa_{1-x}N$ ($x < 1$)よりなるゲート絶縁膜63を成長させる。なお、二酸化ケイ素などの他の絶縁材料によりゲート絶縁膜63を形成するようにしてもよい。

【0064】次に、ゲート絶縁膜63の後述するゲート電極66（図21参照）に対応する領域以外の部分を、例えば水酸化カリウム（KOH）水溶液などのアルカリ性溶液を用いて除去する。続いて、露出面全体（すなわち、チャンネル層62の表面、並びにゲート絶縁膜63の表面および側面）に、例えば蒸着法、ECRCVD法あるいはECRスパッタ法により、耐エッチング性を有する絶縁材料、例えば二酸化ケイ素あるいは四酸化三ケイ素よりなる絶縁層64を形成する。この絶縁層64が、本発明の「保護層」の一具体例に対応している。

【0065】次に、絶縁層64の全面に、例えばスピコート法によりレジスト膜65を形成する。ここで、レジスト膜65が、本発明の「マスク層」の一具体例に対応している。続いて、第1の実施の形態の図3～図5に示した工程と同様にして、レジスト膜65に後述するゲート電極66、ソース電極67およびドレイン電極68（図21参照）のパターンに応じた開口65a、65b、65cをそれぞれ形成し、これらの開口65a、65b、65cの内部に付着した残渣（図示せず）を除去したのち、絶縁層64に、開口65a、65b、65cに対応した開口64a、64b、64cをそれぞれ形成する。

【0066】次に、全面に、例えば、蒸着法によりチタン（Ti）と白金（Pt）と金（Au）とをチャンネル層62側から順次積層して金属層を形成したのち、図21に示したように、レジスト膜65を除去する。このとき、同時にレジスト膜65と接している金属層が選択的に除去され、金属層の残存部分は、ゲート電極66、ソース電極67およびドレイン電極68となる。

【0067】このようにして製造された電界効果トランジスタでは、ゲート電極66に電圧を加えるとチャンネル層62を介してソース電極67とドレイン電極68との間に流れるドレイン電流が変化する。ここでは、製造時にソース電極67およびドレイン電極68に接触するチャンネル層62の表面に対するダメージを抑制することができ、ソース電極67およびドレイン電極68とチャンネル層62とはそれぞれ良好にオーミック接触しており、安定な接触抵抗値を得ることができる。

【0068】このように本参考例では、第1の実施の形

態と同様の理由により、ソース電極67およびドレイン電極68とチャンネル層62との間の接触抵抗を小さくすることができると共に、ソース電極67およびドレイン電極68の密着性を向上させることができ、素子の品質および信頼性を向上させることができる。また、ゲート絶縁膜63の清浄な表面の上にゲート電極66を形成することができるので、良好な特性を確保することができる。

【0069】以上、実施の形態および参考例を挙げて本発明を説明したが、本発明は上記各実施の形態に限定されるものではなく、種々変形可能である。例えば、上記実施の形態では、残渣20を除去する際に、絶縁層18により半導体層の表面および側面を保護するようにしたが、表面のみを保護するようにしてもよい。しかしながら、寄生容量の低減化を図ることを考慮すると、半導体層の側面にも絶縁層18を形成することが好ましい。また、アルミニウムやチタンなどのように、例えば蒸着法により半導体層の表面にダメージを与えることなく成膜することができ、かつレジスト膜18や半導体層に対して選択的にエッチングすることが可能である金属材料からなる金属層により保護するようにしてもよい、但し、その場合には、素子として金属層を有していると電気的短絡が発生してしまうので、p型電極21形成後、あるいはn側電極22形成後に金属層を除去する必要がある。更に、絶縁材料と金属材料とを組み合わせる保護層を形成するようにしてもよい。

【0070】また、上記実施の形態では、半導体層をIII族ナイトライド化合物半導体により構成する場合について説明したが、本発明は、他の半導体により半導体層が構成される半導体素子を製造する場合についても適用することができる。

【0071】また、上記第1および第2の実施の形態では、p側電極21をマスクとして、p側コンタクト層17およびp型クラッド層を自己整合的にリッジ形状とする場合について説明したが、p側コンタクト層17およびp型クラッド層をリッジ形状とした後にp側電極21を形成するようにしてもよい。その場合には、リッジ部の高さやp側電極21のストライプ幅の設計に依らずに、p側電極21を形成できるという利点を有する。また、表面が必ずしも平坦である必要がないので、プロセス順序の選択の幅が広がる。例えば、n側電極22を形成した後にp側電極21を形成することも可能であり、その場合には、熱処理条件などを考慮してプロセス順序を決定することができる。

【0072】また、上記実施の形態や参考例では、半導体素子として半導体レーザ、発光ダイオードおよび電界効果トランジスタを例に挙げて説明したが、本発明は、バイポーラトランジスタのエミッタ電極、ベース電極およびコレクタ電極を形成する場合や、フォトダイオードの電極を形成する場合などの他の半導体素子の製造時に

においても広く適用することができる。更に、これらの素子などが集積された集積素子の製造に応用することも可能である。

【0073】また、上記実施の形態では、p側電極21をストライプ形状とするようにしたが、n側電極22をストライプ形状として、対応するn型の層とp型の層とを逆に配置するようにしてもよい。

【0074】更に、上記実施の形態では、残渣20を酸素を用いたアッシング処理によって除去するようにしたが、アルカリ性のエッチング液などを用いたウェットエッチングによって除去するようにしてもよい。但し、この場合には、表面にダメージを与えないという利点を有するものの、レジスト膜19がアルカリ性のエッチング液によって除去され易いためにレジスト膜19との選択性に限界があること、表面の凹凸が大きい場合には凹部の処理を行い難いなどの制限がある。

【0075】

【発明の効果】以上説明したように本発明の半導体発光素子およびその製造方法によれば、半導体層に断面台形状のリッジ部を形成するに際し、電極をマスクとして半導体層のエッチングを行うようにしたので、製造プロセスを短縮化することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係る利得導波型半導体レーザの一製造工程を説明するための断面図である。

【図2】図1に続く製造工程を説明するための断面図である。

【図3】図2に続く製造工程を説明するための断面図である。

【図4】図3に続く製造工程を説明するための断面図である。

【図5】図4に続く製造工程を説明するための断面図である。

【図6】図5に続く製造工程を説明するための断面図である。

【図7】図6に続く製造工程を説明するための断面図である。

【図8】図7に続く製造工程を説明するための断面図である。

【図9】図8に続く製造工程を説明するための断面図である。

【図10】図9に続く製造工程を説明するための断面図である。

【図11】図10に続く製造工程を説明するための断面図である。

【図12】図11に続く製造工程を説明するための断面図である。

【図13】図12に続く製造工程を説明するための断面図である。

【図14】図13に続く製造工程を説明するための断面図である。

【図15】図14に続く製造工程を説明するための断面図である。

【図16】参考例1に係るリッジ導波型半導体レーザの一製造工程を説明するための断面図である。

【図17】本発明の第2の実施の形態に係るリッジ導波型半導体レーザの一製造工程を説明するための断面図である。

【図18】本発明の第3の実施の形態に係るリッジ導波型半導体レーザの一製造工程を説明するための断面図である。

【図19】参考例2に係る発光ダイオードの製造方法を説明するための断面図である。

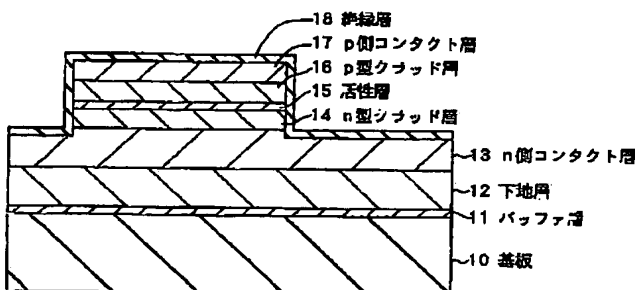
【図20】参考例3に係る電界効果トランジスタの一製造工程を説明するための断面図である。

【図21】図20に続く製造工程を説明するための断面図である。

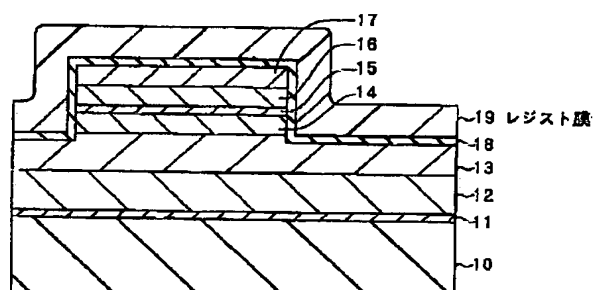
【符号の説明】

10…基板、11、12…下地層、13…n側コンタクト層、14…n型クラッド層、15…活性層、16…p型クラッド層、17…p側コンタクト層、18、31…絶縁層、18a、18b、19a…開口、19、20…残渣、21…p側電極、21a…金属層、22…n側電極、23、24…コンタクト用電極

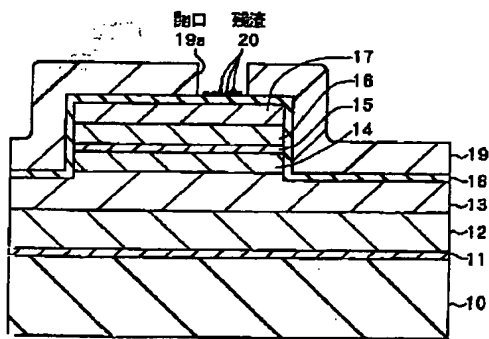
【図1】



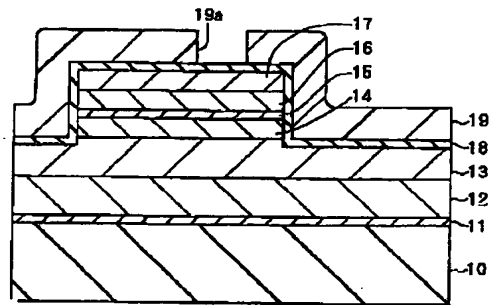
【図2】



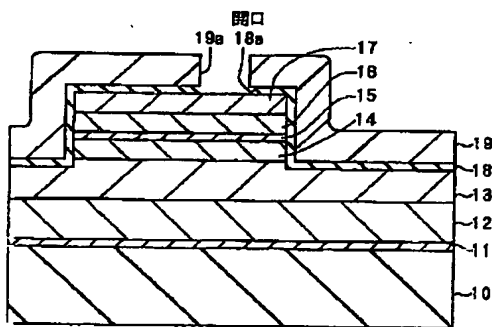
【図3】



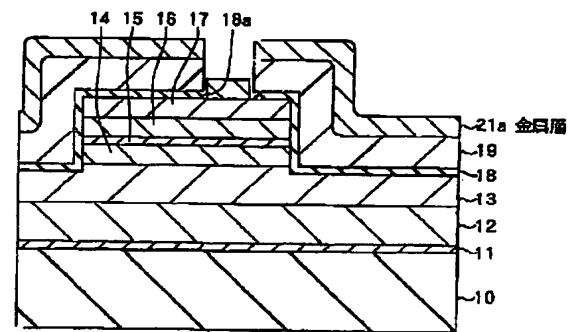
【図4】



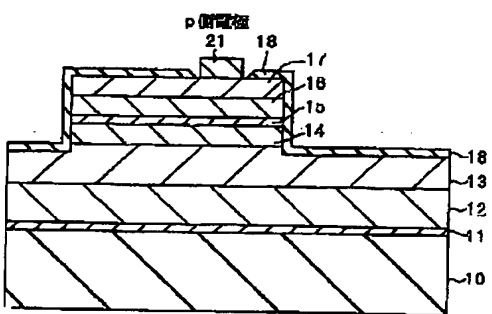
【図5】



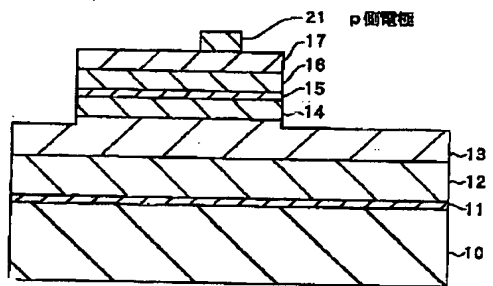
【図6】



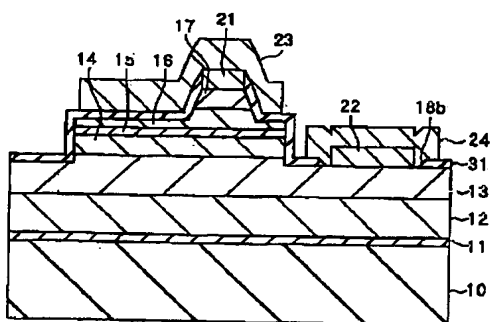
【図7】



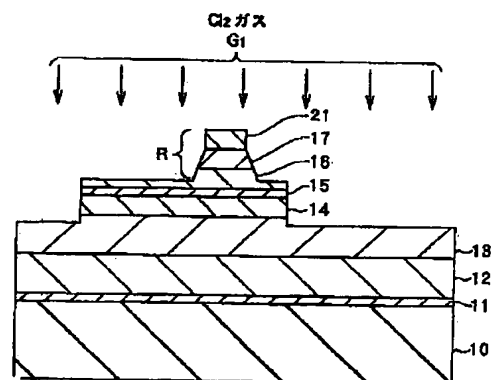
【図8】



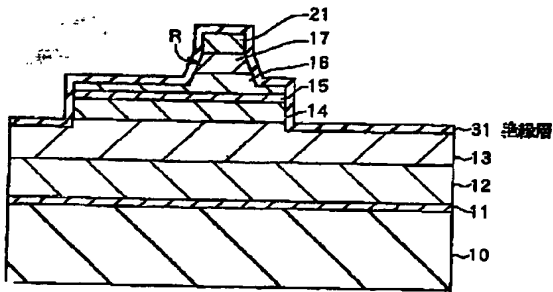
【図15】



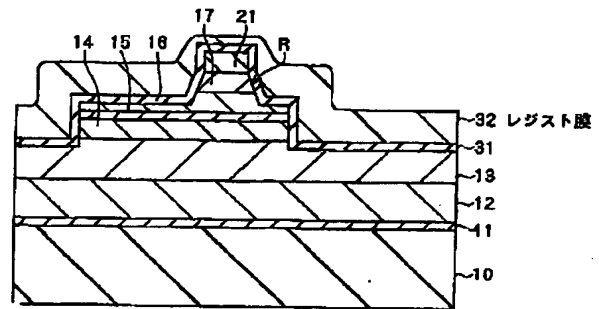
【図9】



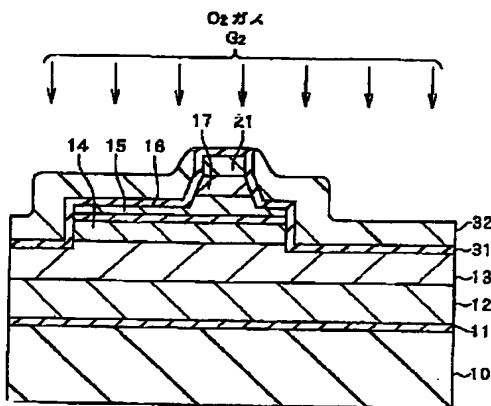
【図10】



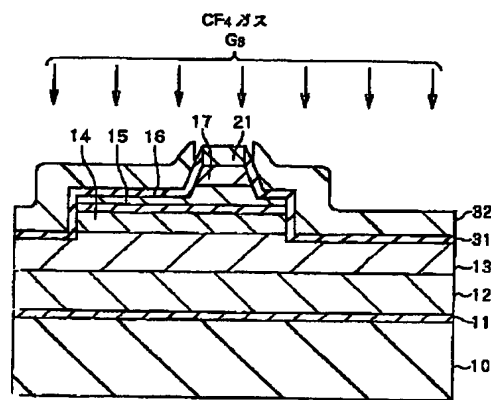
【図11】



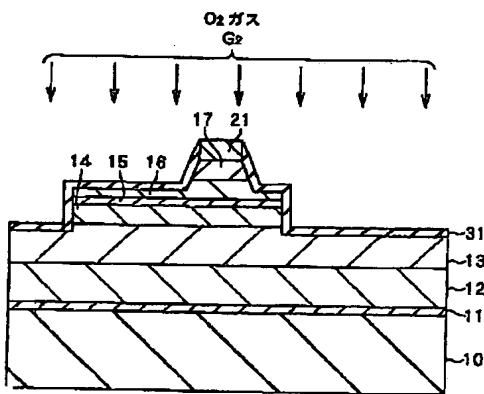
【図12】



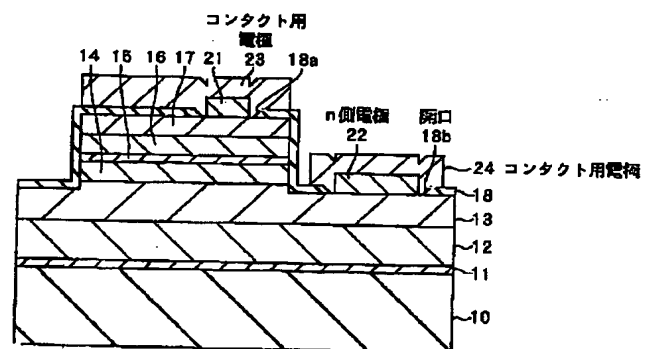
【図13】



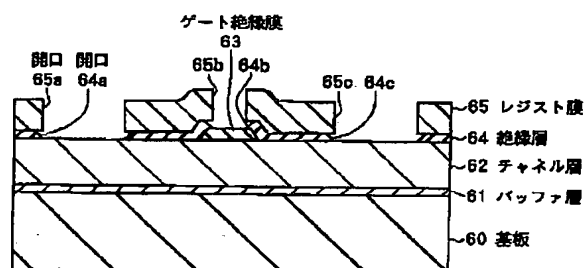
【図14】



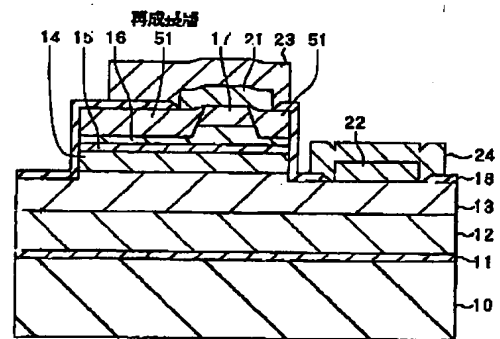
【図16】



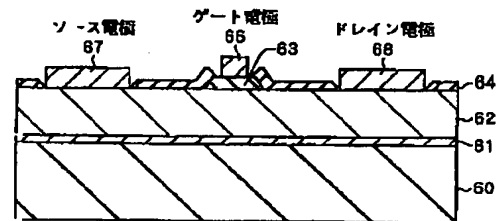
【図20】



【图 18】



【図21】



F ターム(参考) 5F041 AA43 CA40 CA65 CA74 CA83
CA99 CB11
5F073 AA04 AA11 AA45 AA55 AA74
CA02 CB05 CB14 DA05 DA23
DA25 EA14 EA28

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture approach of the semi-conductor light emitting device which is the manufacture approach of a semi-conductor light emitting device of having ridge structure directly under [said] an electrode while an electrode contacts the semi-conductor layer containing a luminous layer, and is characterized by to include the process which forms a stripe-like electrode in the top face of said semi-conductor layer, and the process which forms the ridge section in said a part of semi-conductor layer [at least] by etching said semi-conductor layer by using said electrode as a mask.

[Claim 2] The manufacture approach of the semi-conductor light emitting device according to claim 1 characterized by including the process which forms an insulating layer so that fields other than said electrode of said ridge section may be covered after forming said ridge section.

[Claim 3] The manufacture approach of the semi-conductor light emitting device according to claim 1 characterized by forming with the III group night RAIDO compound semiconductor containing at least one sort of III group elements of the groups which consist said semi-conductor layer of a gallium (Ga), aluminum (aluminum), an indium (In), and boron (B), and nitrogen (N).

[Claim 4] The manufacture approach of the semi-conductor light emitting device according to claim 3 characterized by forming said insulating layer by the insulating material with a refractive index smaller than the semi-conductor layer which constitutes said ridge section.

[Claim 5] The manufacture approach of the semi-conductor light emitting device according to claim 3 characterized by forming with the metal containing at least one sort in the group which consists said electrode of nickel (nickel) and platinum (Pt).

[Claim 6] At least said semi-conductor layer The 1st conductivity-type contact layer, the 1st conductivity-type cladding layer, The laminating of a barrier layer, the 2nd conductivity-type cladding layer, and the 2nd conductivity-type contact layer is carried out. And said electrode is an electrode of the 2nd conductivity type formed on said 2nd conductivity-type contact layer. The manufacture approach of the semi-conductor light emitting device according to claim 1 characterized by said 2nd conductivity-type contact layer and forming the ridge section by removing alternatively to a part of 2nd conductivity-type cladding layer further by using the electrode of said 2nd conductivity type as a mask.

[Claim 7] The process at which the process which forms an electrode on said semi-conductor layer forms in the top face of said semi-conductor layer the protective layer which consists of an etching-proof ingredient, The process which forms opening according to the pattern of said electrode in this mask layer after forming a mask layer in the top face of said protective layer, The process which removes the residue which arose at the time of opening formation in said mask layer, and has adhered to the interior of opening, protecting said semi-conductor layer by said protective layer, The process at which the field corresponding to said opening of said protective layers is removed alternatively, and said semi-conductor layer is alternatively exposed using said mask layer, The manufacture approach of the semi-conductor light emitting device according to claim 1 characterized by including the process which uses said mask layer and forms an electrode on the exposure of said semi-conductor layer.

[Claim 8] The semi-conductor light emitting device characterized by having a wrap insulating layer for fields other than the electrode of the shape of a stripe of the same width of face, and said electrode of the front face of said ridge section substantially with the semi-conductor layer which has the ridge section at least in a part, and the front face of said ridge section in contact with the front face of the ridge section of said semi-conductor layer, including a luminous layer.

[Claim 9] Said semi-conductor layer is a semi-conductor light emitting device according to claim 8 characterized by being formed by the III group night RAIDO compound semiconductor containing at least

one sort of III group elements of the groups which consist of a gallium (Ga), aluminum (aluminum), an indium (In), and boron (B), and nitrogen (N).

[Claim 10] Said insulating layer is a semi-conductor light emitting device according to claim 9 characterized by being formed of the insulating material with a refractive index smaller than the semi-conductor layer which constitutes said ridge section.

[Claim 11] Said electrode is a semi-conductor light emitting device according to claim 9 characterized by being formed with the metal containing at least one sort in the group which consists of nickel (nickel) and platinum (Pt).

[Claim 12] At least said semi-conductor layer The 1st conductivity-type contact layer, the 1st conductivity-type cladding layer, The laminating of a barrier layer, the 2nd conductivity-type cladding layer, and the 2nd conductivity-type contact layer is carried out. Said electrode is an electrode of the 2nd conductivity type formed on said 2nd conductivity-type contact layer. And said ridge section The semi-conductor light emitting device according to claim 9 characterized by said 2nd conductivity-type contact layer and being formed by removing alternatively to a part of 2nd conductivity-type cladding layer further by using the electrode of said 2nd conductivity type as a mask.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of the semi-conductor light emitting device of the ridge guided wave mold which consists of an III group night RAIDO compound semiconductor, and the semi-conductor light emitting device obtained by the approach.

[0002]

[Description of the Prior Art] III group night RAIDO compound semiconductors, such as GaN, AlGaIn, GaInN, or AlGaInN, have the description that a band gap E_g is the semiconductor material of direct transition greatly compared with the group III-V semiconductor of an AlGaInAs system or an AlGaInP system. Therefore, these III group night RAIDO compound semiconductors attract attention as an ingredient which constitutes semi-conductor light emitting devices, such as semiconductor laser (LD; Laser Diode) which emits the light of short wavelength which hits green from ultraviolet rays, and light emitting diode (LED; Light Emitting Diode) which emits the light of the wavelength of the large range from ultraviolet rays to red, and the application to a high density optical disk, the display device for full color, etc. is considered.

[0003]

[Problem(s) to be Solved by the Invention] By the way, in the semi-conductor light emitting device using such an III group night RAIDO compound, it embeds as that guided wave structure, ridge structure is adopted as a high thing of versatility, and shortening of the production process of this ridge structure is demanded.

[0004] Moreover, in the light emitting device which has such ridge structure, when securing the stable actuation, the technique about an ohmic electrode becomes very important. Conventionally, as an ohmic electrode by the side of p to the semi-conductor layer which consists of an III group night RAIDO compound semiconductor, what carried out the laminating of nickel (nickel), gold (Au), or platinum (Pt) and gold one by one from the semi-conductor layer side has been used, for example. [nickel, and] Moreover, as an ohmic electrode by the side of n, what carried out the laminating of titanium (Ti) and the aluminum (aluminum) one by one from the semi-conductor layer side has been used, for example.

[0005] However, in especially the electrode by the side of p, if the ohmic electrode of such a configuration is used, adhesion may not be not much good by formation conditions etc. Therefore, the problem was in dependability -- in case it mounts to the middle and the package of the production process of a component, exfoliate, or the instability [layer / semi-conductor] of adhesion to contact resistance becomes large. Also when semiconductor laser was produced and cleavage of the wafer was further carried out in order to form a reflecting mirror, the same problem had arisen.

[0006] How to improve the adhesion of a semi-conductor layer and an ohmic electrode can be considered by changing the component of a semi-conductor layer or an ohmic electrode, or changing the heat treatment conditions at the time of carrying out alloying processing of the electrode as an approach of solving these problems. However, when the ingredient excellent in the adhesion of titanium etc. was used for the ohmic electrode material by the side of p, compared with the conventional structure, the single or more figures contact resistance between p lateral electrode and a semi-conductor layer became large, and the engine performance and dependability of a component had fallen. Also in the approach of similarly changing the heat treatment conditions at the time of carrying out alloying processing of the electrode, when it was going to raise adhesion, the contact resistance between p lateral electrode and a semi-conductor layer was large.

[0007] Then, as other approaches of replacing with these, in the lithography process which performs

pattern NINGU of an electrode, the conditions of the surface treatment of a semi-conductor layer are optimized, and how to raise adhesion can be considered by removing completely the residue between a semi-conductor layer and p lateral electrode.

[0008] However, the case where surface treatment of a semi-conductor layer is performed in order to improve the adhesion of a semi-conductor layer and an ohmic electrode in this way, the front face of a semi-conductor layer — CVD (Chemical Vapor Deposition; chemical gaseous-phase vacuum evaporation), in case law or a spatter performs film formation. The front face of a semi-conductor layer received the damage, the carrier concentration of a semi-conductor layer front face decreased, and there was a problem that the contact resistance R_c between a semi-conductor layer and an ohmic electrode will become large.

[0009] Furthermore, in semiconductor laser etc., when the electrode other than the problem mentioned above was in contact with the front face of a semi-conductor layer over the field larger than the field through which it has flowed electrically, parasitic capacitance occurred in surfaces of action other than this electric flow field, and there was also a problem of spoiling the RF property of a component.

[0010] While being made in view of this trouble, that purpose's being able to shorten the production process of the ridge structure directly under an electrode and this invention's raising the adhesion of a semi-conductor layer and an electrode further, it is in offering the semi-conductor light emitting device produced by the manufacture approach of the semi-conductor light emitting device which can attain reduction-ization of the contact resistance between these, and this approach.

[0011] Moreover, the 2nd purpose of this invention reduces parasitic capacitance, and is to offer the manufacture approach of the semi-conductor light emitting device which can raise the RF property of a component.

[0012]

[Means for Solving the Problem] This invention is the manufacture approach of a semi-conductor light emitting device of having ridge structure directly under [said] an electrode while an electrode contacts the semi-conductor layer containing a luminous layer, and it is made to include the process which forms a stripe-like electrode in the top face of a semi-conductor layer, and the process which forms the ridge section in a part of semi-conductor layer [at least] by etching a semi-conductor layer by using an electrode as a mask.

[0013] The process which forms the protective layer which becomes the top face of a semi-conductor layer from an etching-proof ingredient about the electrode on said semi-conductor layer in this invention, The process which forms opening according to the pattern of said electrode in this mask layer after forming a mask layer in the top face of a protective layer, The process which removes the residue which arose at the time of opening formation in a mask layer, and has adhered to the interior of opening, protecting a semi-conductor layer by the protective layer, It is desirable to form through the process at which the field corresponding to opening of the protective layers is removed alternatively, and a semi-conductor layer is exposed alternatively, and the process which uses a mask layer on the exposure of a semi-conductor layer, and forms an electrode using a mask layer.

[0014] By the manufacture approach of the semi-conductor light emitting device by this invention, a semi-conductor layer is etched by using as a mask the electrode of the shape of a stripe formed beforehand, and, thereby, the ridge section of cross-section trapezoidal shape is formed in a part of semi-conductor layer [at least].

[0015] The semi-conductor light emitting device by this invention can be produced by the above-mentioned approach, and is substantially equipped with a wrap insulating layer for fields other than the electrode of the shape of a stripe of the same width of face, and said electrode of the front face of the ridge section with the semi-conductor layer which has the ridge section at least in a part, and the front face of the ridge section in contact with the front face of the ridge section of a semi-conductor layer, including a luminous layer.

[0016]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail with reference to a drawing.

[0017] Drawing 1 thru/or drawing 15 express the manufacture approach of the semiconductor laser concerning the gestalt of 1 operation of this invention for every process. This semiconductor laser is the laser of the ridge guided wave mold which combined the gain guided wave mold and the refractive-index guided wave mold.

[0018] With the gestalt of this operation, first, as shown in drawing 1 - drawing 7 , the stripe-like p lateral electrode 21 is formed on the semi-conductor layer on a substrate 10.

[0019] Namely, as shown in drawing 1, the substrate 10 which consists of sapphire is prepared. a substrate 10 top -- for example, MOCVD (Metal Organic Chemical Vapor Deposition; organic metal chemistry gaseous-phase vacuum evaporatio~~no~~), after growing up the buffer layer 11 which consists of an III group night RAIDO compound semiconductor by law this buffer layer 11 -- a nucleus -- carrying out -- the substrate layer 12, the n side contact layer 13, n mold cladding layer 14, a barrier layer 15, p mold cladding layer 16, and the p side contact layer 17 (these layers are also hereafter called semi-conductor layer collectively.) Sequential growth is carried out. Here, a buffer layer 11, the substrate layer 12, the n side contact layer 13, n mold cladding layer 14, the barrier layer 15, p mold cladding layer 16, and the p side contact layer 17 support one example of the "semi-conductor layer" of this invention. Moreover, n mold cladding layer 14 supports one example of the "1st conductivity-type cladding layer" of this invention, and p mold cladding layer 16 supports one example of the "2nd conductivity-type cladding layer" of this invention.

[0020] After growing up 30nm of buffer layers 11 which consist of GaN which specifically has a near crystal structure amorphously at 550 degrees C, or AlGa~~N~~ mixed crystal, 1.5 micrometers of substrate layers 12 which consist of GaN which does not add an impurity at 1000 degrees C are grown up. Then, for example, the n side contact layer 13 (4.5 micrometers in thickness) which consists of an n mold GaN which added silicon (Si) as an n mold impurity, n mold cladding layer 14 (1.0 micrometers in thickness) which consists of n mold AlGa~~N~~ mixed crystal which added silicon as an impurity, The barrier layer which has the multiplex quantum well structure which consists of GaInN mixed crystal and GaN (0.05 micrometers in thickness), Sequential growth of p mold cladding layer 16 (0.8 micrometers in thickness) which consists of p mold AlGa~~N~~ mixed crystal which added magnesium (Mg) as a p mold impurity, and the p side contact layer 17 (0.1 micrometers in thickness) which consists of a p mold GaN which added magnesium as an impurity is carried out.

[0021] As in that case, for example, material gas of aluminum (aluminum), trimethylaluminum gas (CH₃) (3 aluminum), As material gas of a gallium (Ga), trimethylgallium gas (CH₃) (3 Ga) or triethylgallium gas (C₂H₅) (3 Ga), As material gas of an indium (In), trimethylindium gas (CH₃) (3 In), As material gas of nitrogen (N), as ammonia gas (NH₃) and material gas of silicon, mono-silane gas (SiH₄), As material gas of magnesium, screw = methylcyclopentadienyl magnesium gas (MeCp₂ Mg) or screw = magnesium cyclopentadienyl gas (Cp₂ Mg) is used, respectively.

[0022] Next, a part of the p side contact layer 17, p mold cladding layer 16, barrier layer 15, n mold cladding layer 14, and n side contact layer 13 are etched alternatively, and the n side contact layer 13 is exposed on a front face. In addition, the amount of etching in this case is 2 micrometers.

[0023] next, the exposure whole (namely, the front face of the n side contact layer 13 and the p side contact layer 17 --) of a semi-conductor layer In a list, on the side face of the n side contact layer 13, n mold cladding layer 14, a barrier layer 15, p mold cladding layer 16, and the p side contact layer 17 for example, vacuum deposition and ECRCVD (Electron Cyclotron Resonance Chemical Vapor Deposition; electron cyclotron resonance chemistry gaseous-phase vacuum evaporatio~~no~~) -- the insulating material which has etching-proof nature by law or the ECR spatter -- For example, the insulating layer 18 which consists of a silicon dioxide (SiO₂) or 4 nitriding 3 silicon (Si₃ N₄) is formed. This insulating layer 18 supports one example of the "protective layer" of this invention. Since an insulating layer 18 is here formed using the vacuum deposition, the ECRCVD method, or ECR spatter which can be carried out by being few during membrane formation or it loses the damage to the semi-conductor surface by the plasma It differs from the case where it forms using a heat CVD method, PE (Plasma Enhanced) CVD method, or the usual spatter. The field which touches an insulating layer 18 cannot receive a damage easily, and can prevent the fall of the carrier concentration of the p side contact layer 17 by the damage, or p mold cladding layer 16.

[0024] Next, as shown in drawing 2, the resist film 19 with a thickness of 1 micrometer is formed with a spin coat method all over an insulating layer 18. Here, the resist film 19 supports one example of the "mask layer" of this invention.

[0025] Next, as shown in drawing 3, opening 19a according to the pattern of the p lateral electrode 21 (refer to drawing 7) later mentioned on the resist film 19 is formed using a photolithography technique. A high-pressure mercury lamp is used and, specifically, it is 1 mW/cm³. After irradiating ultraviolet rays with an output at the about [10 second room] resist film 19, about [30 second room] development is performed at 20 degrees C using the developer of an inorganic-phosphoric-acid salt system. At this time, the development part of a resist is not removed completely but residue 20 may adhere to the interior of opening 19a.

[0026] Then, after development, for example, the oxygen plasma is used and light ashing processing is

performed for 3 minutes at a room temperature. Thereby, as shown in drawing 4, residue 20 is removed, without most configurations of the resist film 19 changing. In addition, "light ashing processing" means carrying out ashing of the little adhering residue 20 on weak conditions (for example, conditions whose etch rates of a resist which make the energy and laying temperature of the oxygen plasma low are the following by 0.05-micrometer/) here. Here, since the semi-conductor layer is protected by the insulating layer 18 in case ashing processing is performed, a damage is not given to the front face of a semi-conductor layer, and the fall of carrier concentration, such as the p side contact layer 17, is prevented. [0027] Next, it etches until it results an insulating layer 18 in the p side contact layer 17 by using the resist film 19 as a mask using the etching reagent of a fluoric acid system, as shown in drawing 5, and opening 18a is formed in the field corresponding to opening 19a of the insulating layers 18. Here, since the residue 20 adhering to opening 19a is removed completely, the residue of the resist film 19 moves in the inside of an etching reagent, and there is no possibility of carrying out the reattachment to the front face of the p side contact layer 17.

[0028] Next, as shown in drawing 6, after forming the nickel film or the platinum film on the whole surface (namely, on the p side contact layer 17 from which the insulating layer 18 was removed alternatively, and the resist film 19) with vacuum deposition, the proper metal (for example, gold) film is formed on it, and metal layer 21a is formed in it. Here, the reason for using nickel or platinum for the component of metal layer 21a is because these can acquire good ohmic contact to an III group night RAIDO compound. In addition, at this time, the exposure of the p side contact layer 17 is exposed in the field near the wall surface of opening 18a of an insulating layer 18 a little (for example, width of face of 1 micrometer or less), as it was completely covered with metal layer 21a or was shown in drawing.

[0029] Next, as shown in drawing 7, the resist film 19 is removed using organic solvents, such as an acetone. At this time, the part which is in contact with the resist film 19 of metal layer 21a at coincidence is removed alternatively (the lift-off method), and it will be in the condition that only the part which is in contact with the p side contact layer 17 of the metal layer 21a remains. Then, by heat-treating to metal layer 21a which remains, it is alloyed and it considers as the p lateral electrode 21. Furthermore, since light is confined in a part of barrier layer 15 at the time of actuation of semiconductor laser, patterning of the p lateral electrode 21 is carried out so that it may become stripe-like (the shape of a stripe perpendicularly extended to space in drawing 7).

[0030] In addition, in order to use the p lateral electrode 21 as an etching mask so that it may mention later, it controls that the p lateral electrode 21 is etched, and it is necessary to make it not affect the property of an electrode with the gestalt of this operation. Therefore, as for the outermost surface of the p lateral electrode 21, it is desirable to consist of nickel or platinum with larger etch selectivity with an III group night RAIDO compound semiconductor than gold. In addition, as an example of the structure of such a p lateral electrode 21, what carried out the laminating of platinum, gold and nickel or nickel, platinum, gold, and the nickel one by one from the p side contact layer 17 side is mentioned.

[0031] Next, for example using the etching reagent of a fluoric acid system, as shown in drawing 8 After carrying out etching removal of the insulator layer 18, as shown in drawing 9, the p lateral electrode 21 is used as a mask. for example, reactant gas -- chlorine gas (Cl_2) G1 A part of p side contact layer 17 and p mold cladding layer 16 are alternatively etched by law. used RIE (Reactive IonEtching) -- While exposing p mold cladding layer 16 on a front face in self align, the ridge section R which consists of the upper part of p mold cladding layer 16, a p side contact layer 17, and a p lateral electrode 21 is formed.

[0032] next, as shown in drawing 10, the insulating layer 31 which consists of a silicon dioxide (refractive index 1.46) with vacuum deposition is formed in the whole (namely, the surface list of the n side contact layer 13, p mold cladding layer 16, and the p lateral electrode 21 -- the side face of the ridge section R) exposure.

[0033] Next, as shown in drawing 11, the resist film 32 is formed with a spin coat method all over an insulating layer 31. About the thickness of the resist film 32, it forms so that the thickness of the top face of the p lateral electrode 21 may become thinner than the thickness of other fields. When the sum total of the height (thickness) of the ridge section R and an insulating layer 31 is 1 micrometer, specifically, it forms so that thickness may be set to 0.5-0.8 micrometers on the top face of the p lateral electrode 21.

[0034] Next, as shown in drawing 12, it is oxygen gas (O_2) G2 to reactant gas. Used RIE is performed, the field corresponding to the ridge section R of the resist film 32 is removed alternatively, and an insulating layer 31 is exposed on a front face. Here, since the thickness of the resist film 32 of the top face of the p lateral electrode 21 is thinner than the thickness of the resist film 32 from other fields as already stated, only the resist film 32 of the upper part of the field corresponding to the ridge section R

is removable.

[0035] Next, as shown in drawing 13, it is carbon tetrafluoride gas (CF₄) G3 to reactant gas. Used RIE is performed, the exposure of an insulating layer 31 is removed alternatively, and the p lateral electrode 21 is exposed on a front face. Next, as shown in drawing 14, it is oxygen gas G2 to reactant gas. Used RIE is performed and the resist film 32 is removed. Thereby, fields other than the front face of the p lateral electrode 21 will be in the condition of having been covered with the insulating layer 31.

[0036] Next, after carrying out the sequential vacuum evaporations of titanium, aluminum, platinum, and the gold, forming the n lateral electrode 22 like the case where the p lateral electrode 21 is formed and forming further the electrodes 23 and 24 for contact which consist of titanium and gold, respectively as shown in drawing 15 for example, cleavage of the substrate 10 is carried out to the die-length direction and perpendicular of the p lateral electrode 21 by predetermined width of face, and ridge guided wave mold semiconductor laser is completed by using the cleavage plane as a reflecting mirror.

[0037] Thus, in the manufactured ridge guided wave mold semiconductor laser, when a predetermined electrical potential difference is impressed between the p lateral electrode 21 and the n lateral electrode 22 through the electrodes 23 and 24 for contact, a current is poured into a barrier layer 15. In addition, the constriction of the current is carried out by the insulating layer 18. Thereby, in a barrier layer 15, luminescence by electronic-electron hole recombination takes place, and light is taken out outside through the reflecting mirror which is not illustrated. Here, since the ridge section R is covered with the layer (here insulating layer 31) which consists of an ingredient with a refractive index smaller than it, light can be shut up efficiently. In addition, for the refractive index of the p lateral electrode 21, in the ridge section R, the refractive index of 1.64 and the p side contact layer 17 is [the refractive index of 2.53 and p mold cladding layer 16] 2.49.

[0038] Thus, with the gestalt of this operation, since it was made to make the p side contact layer 17 and p mold cladding layer 16 into the ridge configuration in self align by using the p lateral electrode 21 as a mask, shortening of the production process of ridge guided wave mold semiconductor laser can be attained.

[0039] Moreover, since the side face of the ridge section R was covered by the insulating layer 31 which consists of an ingredient with a refractive index smaller than the component of the ridge section R, while being able to give a refractive-index difference crosswise [of a barrier layer 15], electric flow width of face of the p side contact layer 17 and the p lateral electrode 21 can be made the same as that of the width of face of the p lateral electrode 21. Therefore, the locked-in effect of light can be enlarged more.

[0040] Moreover, with the gestalt of this operation, since the residue 20 adhering to opening 19a of the resist film 19 was removed after the semi-conductor layer had been protected by the insulating layer 18 as the process of drawing 3 and drawing 4 also explained, grant of the damage to the front face of a semi-conductor layer is controlled in that case. Therefore, the fall of the carrier concentration of the p side contact layer 17 or p mold cladding layer 16 can be prevented, and the contact resistance value stabilized between the p lateral electrode 21 and the p side contact layer 17 can be acquired. Moreover, increase of the contact resistance between the n lateral electrode 22 and the n side contact layer 13 can also be prevented for the same reason. Furthermore, since the insulating layer 18 was formed by vacuum deposition, the ECRCVD method, or the ECR spatter, the damage to the front face of a semi-conductor layer is controlled. Therefore, the fall of the carrier concentration of the p side contact layer 17 or the n side contact layer 13 can be controlled also from this point.

[0041] Moreover, since opening 18a was formed in the insulating layer 18 after removing the residue 20 adhering to opening 19a of the resist film 19, in case opening 18a is formed, there is no possibility that the residue of a resist may move in the inside of an etching reagent, and may carry out the reattachment to the front face of the p side contact layer 17. Therefore, the p lateral electrode 21 can be formed on the clean surface of the p side contact layer 17, and the adhesion of the p side contact layer 17 and the p lateral electrode 21 can be raised. Consequently, exfoliation of the p lateral electrode 21 at the time of mounting to the middle and the package of a production process can be prevented.

[0042] Furthermore, since the p lateral electrode 21 and the n lateral electrode 22 were covered with the electrodes 23 and 24 for contact, respectively, the adhesion of the p lateral electrode 21 and the n lateral electrode 22 can be raised. Therefore, the ingredient which can acquire the ohmic contact with good nickel or platinum etc. can constitute the p lateral electrode 19. Therefore, while being able to make contact resistance small, exfoliation of an electrode can be prevented, and the quality and reliability of a component can be raised.

[0043] Moreover, since the insulating layer 18 was formed in the front face of the n side contact layer

13 and the p side contact layer 17, and the list covering the side face of the n side contact layer 13, n mold cladding layer 14, a barrier layer 15, p mold cladding layer 16, and the p side contact layer 17, parasitic capacitance can be reduced rather than the case where an insulating layer 18 is formed only in the front face of the n side contact layer 13 and the p side contact layer 17. Therefore, the semiconductor laser excellent in the RF property is manufactured.

[0044] furthermore, the solder at the time of mounting in a package, since the insulating layer 18 is formed so that a pn junction side (namely, side face of a barrier layer 15) may be covered — creeping up — etc. — when generated, an electric short circuit does not occur and reliable mounting conditions can be acquired.

[0045] Moreover, since the p lateral electrode 21 can be formed in self align by using the resist film 19 as a mask, shortening of a production process can be attained.

[0046] [Example 1 of reference] In addition, other gain guided wave mold semiconductor laser is also producible after the process of drawing 7 through the process shown in drawing 16.

[0047] That is, as shown in drawing 16, the resist film (not shown) is applied to the whole surface (namely, on an insulating layer 18 and the p lateral electrode 21), and opening 18b is formed in the field on the n side contact layer 13 of an insulating layer 18 like the time of forming opening 18a. Then, the sequential vacuum evaporation of titanium, aluminum, platinum, and the gold is carried out, and the n lateral electrode 22 is formed in the whole surface (namely, on the n side contact layer 13 from which the insulating layer 18 was removed alternatively, and the resist film which is not illustrated) like the case where the p lateral electrode 21 is formed.

[0048] Next, on the p lateral electrode 21 and the insulating layer 18 of the perimeter, the sequential vacuum evaporation of titanium and the gold is carried out alternatively, and the electrode 23 for contact is formed. Moreover, the electrode 24 for contact is formed at coincidence on the n lateral electrode 22 and the insulating layer 18 of the perimeter. These electrodes 23 and 24 for contact reinforce the adhesion of the p lateral electrode 21 and the n lateral electrode 22, respectively. In addition, the electrodes 23 and 24 for contact can be used also as an electrode for mounting at the time of mounting the completed semiconductor laser in a package (namely, a bonding pad and the electrode for die bondings to a package).

[0049] Cleavage of the substrate 10 is carried out to the last by the die-length direction (the direction of cavity length) of the p lateral electrode 21, and perpendicularly predetermined width of face, and it is made to complete gain guided wave mold semiconductor laser by using the cleavage plane as a reflecting mirror. In addition, it may be made to perform coating for controlling a reflection factor to a cleavage plane if needed.

[0050] Thus, in the manufactured gain guided wave mold semiconductor laser, when a predetermined electrical potential difference is impressed between the p lateral electrode 21 and the n lateral electrode 22 through the electrodes 23 and 24 for contact, a current is poured into a barrier layer 15. In addition, the constriction of the current is carried out by the insulating layer 18. Thereby, in a barrier layer 15, luminescence by electronic-electron hole recombination takes place, and light is taken out outside through the reflecting mirror which is not illustrated. Here, since the front face of the p side contact layer 17 and the n side contact layer 13 has not received the damage at the time of manufacture, the p side contact layer 17, the p lateral electrode 21, and the n side contact layer 13 and the n lateral electrode 22 are carrying out ohmic contact at fitness, respectively, and a stable contact resistance value can be acquired. Therefore, semiconductor laser operates on the stable electrical potential difference.

[0051] Also in this gain guided wave mold semiconductor laser, as mentioned above, residue can be removed and the effectiveness of being able to attain reduction-ization of the contact resistance between a semi-conductor layer and an electrode can be acquired.

[0052] (Gestalt of the 2nd operation) The gestalt of this operation is related with the manufacture approach of ridge guided wave mold semiconductor laser using the substrate which consists of a conductive ingredient.

[0053] With the gestalt of this operation, first, the conductive substrate 40 (refer to drawing 17) which consists of GaN or SiC (silicon carbide) is prepared, and the semi-conductor layer and the p lateral electrode 21 which have the ridge section R are formed on this conductive substrate 40 like the process shown in drawing 1 of the gestalt of the 1st operation — drawing 7 and drawing 9 — drawing 14.

[0054] Next, as shown in drawing 17, on the p lateral electrode 21 and the insulating layer 31 of the perimeter, the sequential vacuum evaporation of titanium and the gold is carried out alternatively, and the electrode 23 for contact is formed. Then, sequential formation of the n lateral electrode 22 and the

electrode 24 for contact is carried out at the rear-face side of the conductive substrate 40. Cleavage of the conductive substrate 40 is carried out to the die-length direction and perpendicular of the p lateral electrode 21 by predetermined width of face at the last. In addition, the n lateral electrode 22 may be Mr. whole surface 1's electrode, and may be an electrode which has a pattern for specifying the bar of semiconductor laser, and the location of a chip.

[0055] (Gestalt of the 3rd operation) By the manufacture approach of the ridge guided wave mold semiconductor laser concerning the gestalt of this operation, as shown in drawing 18, a semi-conductor layer is first grown up on a substrate 10 like the process shown in drawing 1 of the gestalt of the 1st operation. Next, while etching alternatively a part of p side contact layer 17 and p mold cladding layer 16 and making these into a ridge configuration, p mold cladding layer 16 is exposed on a front face.

[0056] next, MOCVD — by law, on the exposure of p mold cladding layer 16, the re-growth phase 51 which consists of an III group night RAIDO compound semiconductor with a refractive index smaller than p mold cladding layer 16 and the p side contact layer 17 (for example, GaInN, AlGaIn) is formed so that the ridge section of the p side contact layer 17 and p mold cladding layer 16 may be surrounded. The re-growth phase 51 is formed so that the front face and the front face of the p side contact layer 17 may become almost flat.

[0057] This re-growth phase 51 can be formed through either of two kinds of processes described below. One is the approach (selective growth technique) of forming in fields other than the exposure of p mold cladding layer 16 the insulating layer which consists of a silicon dioxide, 4 nitriding 3 silicon, etc., and re-growing up GaInN etc. into the exposure of p mold cladding layer 16 alternatively. According to this approach, when a certain thing re-grows, as for a limit, the re-growth phase 51 of a desired configuration is obtained by the class and growth conditions of a crystal of making it growing up. After other one re-grows up GaInN etc. into the whole surface, it is the approach of removing an unnecessary part. Although a degree of freedom is comparatively high about the class and growth conditions of a crystal of making it growing up according to this approach, the process which exposes p mold contact layer 17 on a front face is required.

[0058] Hereafter, an insulating layer 18, the p lateral electrode 21, the n lateral electrode 22, and the electrodes 23 and 24 for contact are formed, respectively like the process shown in drawing 1 of the gestalt of the 1st operation — drawing 8.

[0059] In addition, after forming the re-growth phase 51, the touch area of the p side contact layer and p lateral electrode is enlarged, and you may make it reduce contact resistance on the p side contact layer 17 and the re-growth phase 51, while growing up the p side contact layer again although illustration is not carried out.

[0060] Thus, since the p lateral electrode 21 and the electrode 23 for contact were formed after according to the gestalt of this operation forming the re-growth phase 51 in the side face so that it may become almost flat with the p side contact layer 17, a front face can be made flatter than the 1st and the ridge guided wave mold semiconductor laser of the gestalt of the 2nd operation. Therefore, the thermal resistance property at the time of mounting in a package and adhesion with a solder ingredient etc. can be improved, and the dependability of mounting can be raised.

[0061] [Example 2 of reference] This example of reference is related with the manufacture approach of light emitting diode. Here, while forming thinly the p lateral electrode 21 and the contact electrode 23, respectively so that the sum total of those thickness may be set to about 5–15nm as shown in drawing 19, except for forming so that the touch area of the p lateral electrode 21 and the p side contact layer 17 may become large, and not carrying out cleavage of the substrate 10, others can be manufactured like the gestalt of the 1st operation. In this light emitting diode, since the p lateral electrode 21 and the contact electrode 23 are formed thinly, as the arrow head showed drawing 19, light can be taken out from the upper part (namely, the p lateral electrode 21 side) of a substrate 10. In addition, if a substrate 10 makes luminescence wavelength penetrate, of course, it can also consider as the structure which takes out light from the rear-face side of a substrate 10.

[0062] [Example 3 of reference] This example of reference is related with the manufacture approach of a field-effect transistor (FET;Field Effect Transistor).

[0063] first, the substrate 60 which consists of sapphire as shown in drawing 20 — preparing — this substrate 60 top — for example, MOCVD — after growing up 30nm of buffer layers 61 which consist of GaN which has a near crystal structure amorphously at 550 degrees C by law, or AlGaIn mixed crystal, the channel layer 62 which consists of an n mold GaN which added silicon as an n mold impurity at 1000 degrees C is grown up. Furthermore, AlN or the presentation ratio x of aluminum grows up the gate dielectric film 63 which consists of large $Al_x Ga_{1-x} N$ ($x < 1$) continuously. In addition, you may make it

form gate dielectric film 63 by other insulating materials, such as a silicon dioxide.

[0064] Next, parts other than the field corresponding to the gate electrode 66 (refer to drawing 21) which gate dielectric film 63 mentions later are removed using alkaline solutions, such as for example, a potassium-hydroxide (KOH) water solution. then, the exposure whole (namely, the front face of the channel layer 62 and a list the front face and side face of gate dielectric film 63) -- for example, vacuum deposition and ECRCVD -- the insulating layer 64 which consists of an insulating material which has etching-proof nature, for example, a silicon dioxide, and 4 nitriding 3 silicon by law or the ECR spatter is formed. This insulating layer 64 supports one example of the "protective layer" of this invention.

[0065] Next, the resist film 65 is formed with a spin coat method all over an insulating layer 64. Here, the resist film 65 supports one example of the "mask layer" of this invention. Then, it is made to be the same as that of the process shown in drawing 3 of the gestalt of the 1st operation - drawing 5 . The openings 65a, 65b, and 65c according to the pattern of the gate electrode 66 later mentioned on the resist film 65, the source electrode 67, and the drain electrode 68 (refer to drawing 21) are formed, respectively. After removing the residue (not shown) adhering to the interior of these openings 65a, 65b, and 65c, the openings 64a, 64b, and 64c corresponding to Openings 65a, 65b, and 65c are formed in an insulating layer 64, respectively.

[0066] Next, after carrying out the laminating of titanium (Ti), platinum (Pt), and the gold (Au) to the whole surface one by one from the channel layer 62 side with vacuum deposition and forming a metal layer in it, as shown in drawing 21 , the resist film 65 is removed. At this time, the metal layer which is in contact with the resist film 65 at coincidence is removed alternatively, and the residual part of a metal layer serves as the gate electrode 66, the source electrode 67, and the drain electrode 68.

[0067] Thus, in the manufactured field-effect transistor, if an electrical potential difference is applied to the gate electrode 66, the drain current which flows between the source electrode 67 and the drain electrode 68 through the channel layer 62 will change. Here, the damage to the front face of the channel layer 62 which contacts the source electrode 67 and the drain electrode 68 at the time of manufacture can be controlled, the source electrode 67 and the drain electrode 68, and the channel layer 62 are carrying out ohmic contact at fitness, respectively, and a stable contact resistance value can be acquired.

[0068] Thus, in this example of reference, for the same reason as the gestalt of the 1st operation, while being able to make small contact resistance between the source electrode 67 and the drain electrode 68, and the channel layer 62, the adhesion of the source electrode 67 and the drain electrode 68 can be raised, and the quality and reliability of a component can be raised. Moreover, since the gate electrode 66 can be formed on the clean surface of gate dielectric film 63, a good property is securable.

[0069] As mentioned above, although the gestalt and the example of reference of operation were given and this invention was explained, this invention is not limited to the gestalt of each above-mentioned implementation, and is variously deformable. For example, although the front face and side face of a semi-conductor layer were protected by the insulating layer 18 with the gestalt of the above-mentioned implementation when removing residue 20, you may make it protect only a front face. However, when it takes attaining reduction-ization of parasitic capacitance into consideration, it is desirable to form an insulating layer 18 also in the side face of a semi-conductor layer. Moreover, membranes can be formed like aluminum or titanium, without giving a damage to the front face of a semi-conductor layer with vacuum deposition. You may make it protect by the metal layer which consists of a metallic material which can be alternatively etched to the resist film 18 or a semi-conductor layer. And in that case Since an electric short circuit will occur if it has the metal layer as a component, it is necessary to remove a metal layer after p mold electrode 21 formation or n lateral electrode 22 formation.

Furthermore, you may make it form a protective layer combining an insulating material and a metallic material.

[0070] Moreover, although the gestalt of the above-mentioned implementation explained the case where an III group night RAIDO compound semiconductor constituted a semi-conductor layer, this invention is applicable also about the case where the semiconductor device which a semi-conductor layer consists of with other semi-conductors is manufactured.

[0071] Moreover, after making the p side contact layer 17 and p mold cladding layer into a ridge configuration, you may make it form the p lateral electrode 21, although the gestalt of the above 1st and the 2nd implementation explained the case where the p side contact layer 17 and p mold cladding layer were made into a ridge configuration in self align by using the p lateral electrode 21 as a mask. In that case, it has the advantage that the p lateral electrode 21 can be formed, without depending on the design of the height of the ridge section, or the stripe width of face of the p lateral electrode 21.

Moreover, since the front face does not necessarily need to be flat, the width of face of selection of process sequence spreads. For example, after forming the n lateral electrode 22, it is also possible to form the p lateral electrode 21, and in consideration of heat treatment conditions etc., process sequence can be determined in that case.

[0072] Moreover, although semiconductor laser, the light emitting diode, and the field-effect transistor were mentioned as the example and the gestalt and the example of reference of the above-mentioned implementation explained them as a semiconductor device, this invention is widely applicable at the time of manufacture of other semiconductor devices in the case where the emitter electrode, base electrode, and collector electrode of a bipolar transistor are formed, the case of forming the electrode of a photodiode, etc. Furthermore, it is also possible to apply to manufacture of the accumulation component on which these components etc. were accumulated.

[0073] Moreover, although it was made to make the p lateral electrode 21 into the stripe configuration, you may make it arrange conversely the corresponding layer of n mold and the corresponding layer of p mold by making the n lateral electrode 22 into a stripe configuration with the gestalt of the above-mentioned implementation.

[0074] Furthermore, although the ashing processing which used oxygen removed residue 20 with the gestalt of the above-mentioned implementation, you may make it the wet etching using an alkaline etching reagent etc. remove. However, although it has the advantage of not giving a damage to a front face, in this case, since the resist film 19 is easy to be removed by the alkaline etching reagent, when the irregularity of that a limitation is in selectivity with the resist film 19 and a front face is large, there is a limit of being hard to process a crevice.

[0075]

[Effect of the Invention] As explained above, since it faces forming the ridge section of cross-section trapezoidal shape in a semi-conductor layer and was made to etch the semi-conductor layer by using an electrode as a mask, according to the semi-conductor light emitting device and its manufacture approach of this invention, a manufacture process can be shortened.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a sectional view for explaining one production process of the gain guided wave mold semiconductor laser concerning the gestalt of 1 operation of this invention.

[Drawing 2] It is a sectional view for explaining the production process following drawing 1 .

[Drawing 3] It is a sectional view for explaining the production process following drawing 2 .

[Drawing 4] It is a sectional view for explaining the production process following drawing 3 .

[Drawing 5] It is a sectional view for explaining the production process following drawing 4 .

[Drawing 6] It is a sectional view for explaining the production process following drawing 5 .

[Drawing 7] It is a sectional view for explaining the production process following drawing 6 .

[Drawing 8] It is a sectional view for explaining the production process following drawing 7 .

[Drawing 9] It is a sectional view for explaining the production process following drawing 8 .

[Drawing 10] It is a sectional view for explaining the production process following drawing 9 .

[Drawing 11] It is a sectional view for explaining the production process following drawing 10 .

[Drawing 12] It is a sectional view for explaining the production process following drawing 11 .

[Drawing 13] It is a sectional view for explaining the production process following drawing 12 .

[Drawing 14] It is a sectional view for explaining the production process following drawing 13 .

[Drawing 15] It is a sectional view for explaining the production process following drawing 14 .

[Drawing 16] It is a sectional view for explaining one production process of the ridge guided wave mold semiconductor laser concerning the example 1 of reference.

[Drawing 17] It is a sectional view for explaining one production process of the ridge guided wave mold semiconductor laser concerning the gestalt of operation of the 2nd of this invention.

[Drawing 18] It is a sectional view for explaining one production process of the ridge guided wave mold semiconductor laser concerning the gestalt of operation of the 3rd of this invention.

[Drawing 19] It is a sectional view for explaining the manufacture approach of the light emitting diode concerning the example 2 of reference.

[Drawing 20] It is a sectional view for explaining one production process of the field-effect transistor concerning the example 3 of reference.

[Drawing 21] It is a sectional view for explaining the production process following drawing 20 .

[Description of Notations]

10 [-- n mold cladding layer, 15 / -- A barrier layer, 16 / -- p mold cladding layer, 17 / -- 18 The p side contact layer 31 / -- An insulating layer, 18a 18b, 19a / -- 19 Opening, 20 / -- Residue, 21 / -- p lateral electrode, 21a / -- A metal layer, 22 / -- 23 n lateral electrode, 24 / -- Electrode for contact]
-- 11 A substrate, 12 -- A substrate layer, 13 -- The n side contact layer, 14

[Translation done.]